

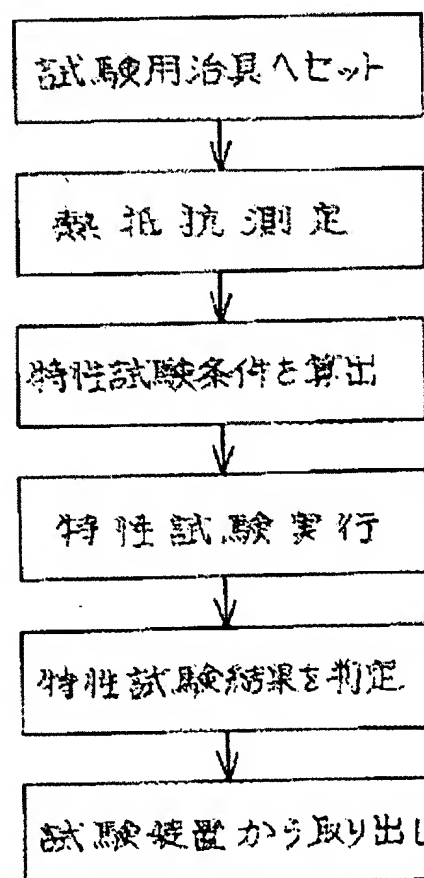
METHOD AND APPARATUS FOR TEST OF SEMICONDUCTOR ELEMENT**Publication number:** JP2001272434**Publication date:** 2001-10-05**Inventor:** TABUCHI ZENICHIRO; OSAKI HIROTO**Applicant:** MATSUSHITA ELECTRIC IND CO LTD**Classification:****- international:** G01R31/26; H01L21/66; H01L21/66; G01R31/26;
H01L21/66; H01L21/66; (IPC1-7): G01R31/26;
H01L21/66**- European:****Application number:** JP20000084335 20000324**Priority number(s):** JP20000084335 20000324

Report a data error here

Abstract of JP2001272434

PROBLEM TO BE SOLVED: To solve a problem that the temperature of a semiconductor element is different because the amount of heat generated by the electrification of each semiconductor element is not definite when a thermal resistance between the semiconductor element and a testing jig is not definite in a screening operation which sorts the defective product of the semiconductor element and that a screening condition does not become definite.

SOLUTION: The semiconductor element is arranged at the testing jig. The thermal resistance is measured. On the basis of the measured result of the thermal resistance, electric power by which the temperature in the junction part of the semiconductor element becomes definite is supplied to the semiconductor element. The temperature in the junction part of the semiconductor element is maintained in a definite range. The screening operation which is stable without being influenced by an irregularity in the thermal resistance is achieved.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-272434

(P2001-272434A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.⁷

識別記号

F I

データ* (参考)

G 0 1 R 31/26

C 0 1 R 31/26

H 2 G 0 0 3

H 0 1 L 21/66

H 0 1 L 21/66

H 4 M 1 0 6

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21) 出願番号 特願2000-84335(P2000-84335)

(22) 出願日 平成12年3月24日 (2000.3.24)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田淵 善一郎

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 大崎 裕人

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 2G003 AA10 AC01 AD06 AC03 AH08
AH10

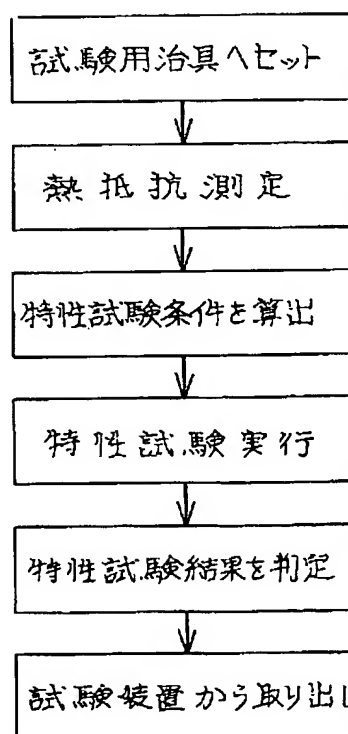
4M106 AA01 BA14 BA20 CA56 DJ38

(54) 【発明の名称】 半導体素子の試験方法およびその試験装置

(57) 【要約】

【課題】 半導体素子の欠陥品を選別するスクリーニングにおいて、試験用治具や試験雰囲気を一定温度にしても、半導体素子と試験用治具との間の熱抵抗が一定でない場合は、各半導体素子の通電によって発生する放熱量が一定でないため、半導体素子の温度が異なり、スクリーニング条件が一定にならないという問題があった。

【解決手段】 半導体素子を試験用治具に配置して熱抵抗を測定した後に、熱抵抗の測定結果に基づいて、半導体素子の接合部温度が一定になるような電力を半導体素子に供給することで、半導体素子の接合部温度を一定範囲内に維持して、熱抵抗のバラツキに左右されない安定したスクリーニングを達成する。



【特許請求の範囲】

【請求項１】 半導体素子の信頼性を評価する試験方法であって、前記半導体素子の熱抵抗を測定した後に、前記熱抵抗の測定値に応じて、前記半導体素子の接合部温度が一定になるような電力を前記半導体素子に供給して、前記半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法。

【請求項２】 半導体素子の信頼性を評価する試験装置であって、熱抵抗の測定装置を具備し、前記熱抵抗の測定装置により測定された熱抵抗値に応じて、前記半導体素子の接合部温度が一定になるような電力を前記半導体素子に供給して、前記半導体素子の信頼性を評価することを特徴とする半導体素子の試験装置。

【請求項３】 基板に実装された半導体素子の信頼性を評価する試験方法であって、前記基板に実装された半導体素子の熱抵抗を測定した後に、前記熱抵抗の測定値に応じて、前記基板に実装された半導体素子の接合部温度が一定になるような電力を前記基板に実装された半導体素子に供給して、前記基板に実装された半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法。

【請求項４】 基板に実装された半導体素子の信頼性を評価する試験装置であって、熱抵抗の測定装置を具備し、前記基板に実装された半導体素子の熱抵抗を測定した後に、前記熱抵抗の測定装置により測定された熱抵抗値に応じて、前記基板に実装された半導体素子の接合部温度が一定になるような電力を前記基板に実装された半導体素子に供給して、前記基板に実装された半導体素子の信頼性を評価することを特徴とする半導体素子の試験装置。

【請求項５】 ウェハースタートで配列された複数の半導体素子の信頼性を評価する試験方法であって、前記複数の半導体素子の熱抵抗の測定を一括して行い、前記複数の半導体素子それぞれの熱抵抗値に応じて、前記複数の半導体素子の接合部温度が一定になるような電力を前記複数の半導体素子に供給して、前記複数の半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法。

【請求項６】 ウェハースタートで配列された複数の半導体素子の信頼性を評価する試験装置であって、前記複数の半導体素子の熱抵抗の測定を一括して行い、前記複数の半導体素子それぞれの熱抵抗値に応じて、前記複数の半導体素子の接合部温度が一定になるような電力を前記複数の半導体素子に供給して、前記複数の半導体素子の信頼性を評価することを特徴とする半導体素子の試験装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、半導体素子の試験方法及び試験装置に関し、特に半導体素子をスクリーニ

ングする際の接合部温度を一定に保つための試験方法および試験装置に関する。

【０００２】

【従来の技術】 従来、半導体素子の欠陥品を選別するスクリーニングは、図５に示すように、半導体素子を、実装前のペアの状態や、基板に実装された状態で、試験用治具に設置した後、半導体素子を加熱した状態で通電を行いながら、所定時間放置することにより、半導体素子の欠陥を加速劣化させる特性試験を実施した後、半導体素子の品質検査が行われていた。

【０００３】

【発明が解決しようとする課題】 ところが、スクリーニングにおいて重要なことは、半導体素子の温度を一定に加熱保持することであるが、従来の試験方法では試験用治具や試験雰囲気や一定温度にしても半導体素子と試験用治具との間の熱抵抗が一定でない場合は、各半導体素子自身の通電による放熱量が一定でないため、半導体素子の温度にバラツキを生じ、スクリーニング条件が一定にならないという問題があった。また、半導体素子と試験用治具との間の熱抵抗を小さくする方法として、特開平６－１９４４０５号公報では、試験用電極にＩｎ電極を用いているが、この方法でも、半導体素子およびＩｎ電極の表面状態のバラツキや汚染などによって熱抵抗が変動するために、半導体素子の温度が不安定となり、スクリーニング条件が異なってしまうという問題があった。

【０００４】 本発明の目的は、半導体素子と試験用治具との間の熱抵抗が異なっても、半導体素子のスクリーニング温度を一定にし、安定した半導体素子の検査を可能にする半導体素子の試験方法およびその試験装置を提供することを目的とする。

【０００５】

【課題を解決するための手段】 本発明では、スクリーニング試験前に、複数の半導体素子と試験用治具との間の熱抵抗値を熱抵抗測定装置により求め、熱抵抗の測定結果に応じてスクリーニング時にそれぞれの半導体素子の印加電力を供給することにより、半導体素子の接合部温度を一定範囲内に保つことが可能になる。すなわち、半導体素子の信頼性を評価する試験方法であって、半導体素子の熱抵抗を測定した後に、熱抵抗の測定値に応じて、半導体素子の接合部温度が一定になるような電力を半導体素子に供給して、半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法である。

【０００６】 このように、スクリーニング前にあらかじめ、それぞれの半導体素子の熱抵抗値を求めておくことにより、温度影響を受けることのないスクリーニングが可能となり、高精度な検査を達成することができる。

【０００７】 また、半導体素子の信頼性を評価する試験装置であって、熱抵抗の測定装置を具備し、熱抵抗の測定装置により測定された熱抵抗値に応じて、半導体素子

の接合部温度が一定になるような電力を半導体素子に供給して、半導体素子の信頼性を評価することを特徴とする半導体素子の試験装置である。

【0008】このように、熱抵抗の測定装置を具備したスクリーニング装置を用いることにより、温度影響を受けることのないスクリーニングが可能となり、高精度な検査を達成することができる。

【0009】さらに、基板に実装された半導体素子の信頼性を評価する試験方法であって、基板に実装された半導体素子の熱抵抗を測定した後に、熱抵抗の測定結果に応じて、基板に実装された半導体素子の接合部温度が一定になるような電力を基板に実装された半導体素子に供給して、基板に実装された半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法である。

【0010】このように、実装後の半導体素子の信頼性評価においても、スクリーニング前にあらかじめ、それぞれの半導体素子の熱抵抗値を求めておくことにより、温度影響を受けることのないスクリーニングが可能となり、高精度な検査を達成することができる。

【0011】また、基板に実装された半導体素子の信頼性を評価する試験装置であって、熱抵抗の測定装置を具備し、基板に実装された半導体素子の熱抵抗を測定した後に、熱抵抗の測定装置により測定された熱抵抗値に応じて、基板に実装された半導体素子の接合部温度が一定になるような電力を基板に実装された半導体素子に供給して、基板に実装された半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法である。

【0012】このように、実装後の半導体素子の信頼性評価においても、熱抵抗の測定装置を具備したスクリーニング装置を用いることにより、温度影響を受けることのないスクリーニングが可能となり、高精度な検査を達成することができる。

【0013】さらに、ウェハー状態で配列された複数の半導体素子の信頼性を評価する試験方法であって、複数の半導体素子の熱抵抗の測定を一括して行い、複数の半導体素子それぞれの熱抵抗値に応じて、複数の半導体素子の接合部温度が一定になるような電力を複数の半導体素子に供給して、複数の半導体素子の信頼性を評価することを特徴とする半導体素子の試験方法である。

【0014】このように、ウェハー状態で配列された複数の半導体素子の信頼性を同時に評価する場合は、複数の半導体素子それぞれの熱抵抗値に応じて、接合部温度が一定になるような電力を複数の半導体素子に供給することにより、温度影響を受けることのないスクリーニングが可能となり、ウェハー状態で配列された複数の半導体素子の一括した高精度検査の達成が可能となる。

【0015】また、ウェハー状態で配列された複数の半導体素子の信頼性を評価する試験装置であって、複数の半導体素子の熱抵抗の測定を一括して行い、複数の半導体素子それぞれの熱抵抗値に応じて、複数の半導体素子

の接合部温度が一定になるような電力を複数の半導体素子に供給して、複数の半導体素子の信頼性を評価することを特徴とする半導体素子の試験装置。

【0016】このように、ウェハー状態で配列された複数の半導体素子の信頼性を同時に評価する場合は、複数の半導体素子それぞれの熱抵抗値に応じて、接合部温度が一定になるような電力を複数の半導体素子に供給することにより、温度影響を受けることのないスクリーニングが可能となり、ウェハー状態で配列された複数の半導体素子の一括した高精度検査の達成が可能となる。

【0017】

【発明の実施の形態】本発明における熱抵抗の測定は、半導体素子のPNジャンクションの順方向電圧の温度特性を利用した方法により求めることができる。ここで熱抵抗と印加電力および接合部温度の関係は次式によって求められることは良く知られている。

$$【0018】T_j = \theta_{ja} \times P + T_a$$

ここで、 T_j = 接合部温度、 θ_{ja} = 熱抵抗、 P = 消費電力、 T_a = 周囲温度である。

【0019】前記した計算式により、熱抵抗を算出し、接合部温度を一定範囲内にするための電力を求めることが可能である。

【0020】ここで、本発明の実施の形態について図面を参照しつつ説明する。

【0021】図1は、本実施形態による半導体素子の試験方法を示すフロー図である。

【0022】まず、半導体素子は試験用治具にセットされた後に、半導体素子と接する試験用治具との間の熱抵抗が測定される。次に、熱抵抗測定で得られた熱抵抗の値と、設定温度と目標接合部温度との関係から、半導体素子に印加すべき電力の値を算出する。続いて特性試験の実行では、熱抵抗の測定から算出された電力を半導体素子に印加することで半導体素子の接合部温度を一定範囲内に保った状態での特性測定を実行する。このような方法によって、特性試験中に接合部温度の変更が必要な場合があっても、必要な電力は熱抵抗と接合部温度の関係を表す計算式によって容易に算出できる。更に、一定時間経過した後に、電力を印加した状態での半導体素子の電気特性の変化から、半導体素子の接合部の温度を算出し、算出した温度が一定範囲内にあることを確認しながら、半導体素子の信頼性評価を行うことができる。

【0023】図2は、本実施形態における半導体素子の測定状態を示す斜視図であり、図3は、半導体素子と試験装置の測定関係を示す概略回路図である。

【0024】図2に示すように、半導体素子1は、試験用治具2に設置され、プローブ3により熱抵抗および半導体素子1の特性が測定される。

【0025】また、図3に示すように、試験装置内に熱抵抗測定部6を加えることで、熱抵抗の測定が可能となっている。試験装置4には、半導体装置の特性測定部5

と熱抵抗測定部6が内蔵され、両者は切換手段7によって、半導体素子1に接続する回路へ断続される。すなわち、切換手段7によって、半導体素子1と試験用治具2との熱抵抗を測定するか、半導体素子1の特性を測定するかを、任意に選択することができる。また、熱抵抗測定部6によって測定された半導体素子1の熱抵抗値は、電力供給装置（図示せず）に電気信号として伝達され、それぞれの半導体素子1に最適な供給電力が算出される。半導体素子1には、算出された最適供給電力が入力されるので、複数の半導体素子1の温度影響を考慮する必要はなくなる。

【0026】なお、半導体素子1が基板に実装された状態でも、同様にして、基板に実装された半導体素子の熱抵抗を測定した後に、熱抵抗の測定結果に応じて、基板に実装された半導体素子の接合部温度が一定になるような電力を基板に実装された半導体素子に供給して、基板に実装された半導体素子の信頼性を評価することが可能となる。

【0027】このように、実装後の半導体素子の信頼性評価においても、スクリーニング前にあらかじめ、それぞれの半導体素子の熱抵抗を求めておくことにより、温度影響を受けることのないスクリーニングが可能となり、高精度な検査を達成することができる。

【0028】図4は、本発明の別の実施形態におけるウェハ8に配列した半導体素子1の熱抵抗の測定状態を示す測定部断面図である。

【0029】本実施形態において、複数の半導体素子1が隣接して形成されているウェハ8の場合は、それぞれの半導体素子1にプローブ3を接触させることによって、それぞれの半導体素子1で発生した熱は、各半導体素子1に対応するプローブ3に伝達されるので、複数の隣接した半導体素子1の隣接面では、熱の通過は無視できることになり、本実施形態における単独の半導体素子を測定する場合と同様にして、一定温度範囲内における

スクリーニングが可能となる。

【0030】

【発明の効果】本発明によれば、複数の半導体素子と試験用治具との間におけるそれぞれの熱抵抗にバラツキがあっても、スクリーニング前に、あらかじめそれぞれの半導体素子と試験用治具の接合部における熱抵抗を測定する温度を一定範囲に保つことができるので、安定した条件でのスクリーニングが可能となる。

【0031】また、半導体素子が基板に実装された後に、半導体素子と試験用治具との間に熱抵抗のバラツキがあっても、半導体素子の接合部の温度を一定範囲に保つことができるので、極めて安定した条件でのスクリーニングが可能となる。

【0032】さらに、本発明によれば半導体素子がウェハ状に配列した半導体素子に対して、隣接する半導体素子の間の熱抵抗にバラツキがあっても、半導体素子の接合部の温度を一定範囲に保つことができるので、極めて安定したスクリーニングが可能となる。

【図面の簡単な説明】

【図1】本発明の一連の試験方法を示すフロー図

【図2】本発明の第1の実施形態における試験の状態を示す斜視図

【図3】本発明の第1の実施形態を示す概略回路図

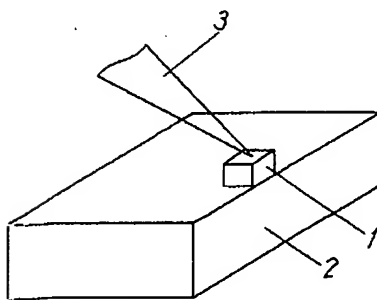
【図4】本発明の第2の実施形態を示す断面図

【図5】従来の試験方法を示すフロー図

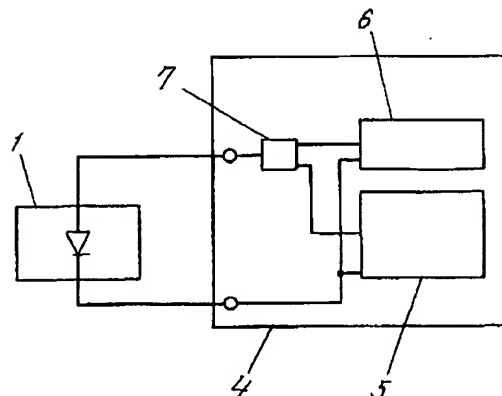
【符号の説明】

- 1 半導体素子
- 2 試験用治具
- 3 プローブ
- 4 試験装置
- 5 特性測定部
- 6 熱抵抗測定部
- 7 切換手段
- 8 ウェハ

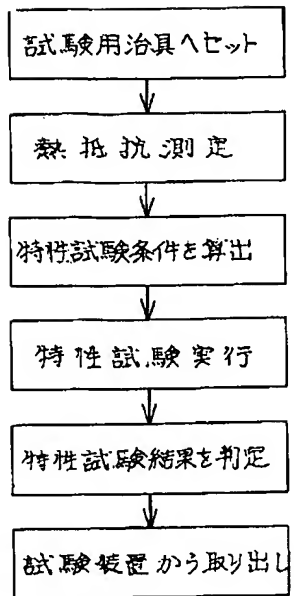
【図2】



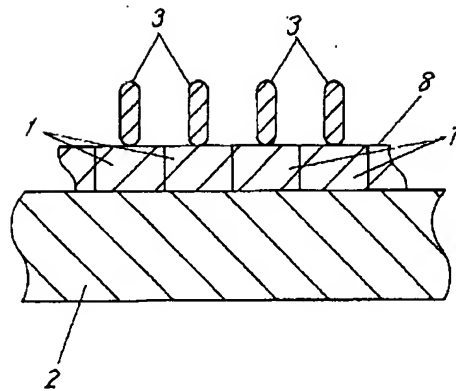
【図3】



【図1】



【図4】



【図5】

